

**Basic logic cell for programmable logic device combining two data signals according to logic function selectable by numerous logic selection elements, with four data signal inputs for two data signals, their complementary data signals**

**Publication number:** DE10357209

**Publication date:** 2005-07-07

**Inventor:** GLIESE JOERG (DE)

**Applicant:** INFINEON TECHNOLOGIES AG (DE)

**Classification:**

- **international:** H03K19/173; H03K19/173; (IPC1-7):  
H03K19/094; H03K19/20

- **european:** H03K19/173C1A; H03K19/173C2

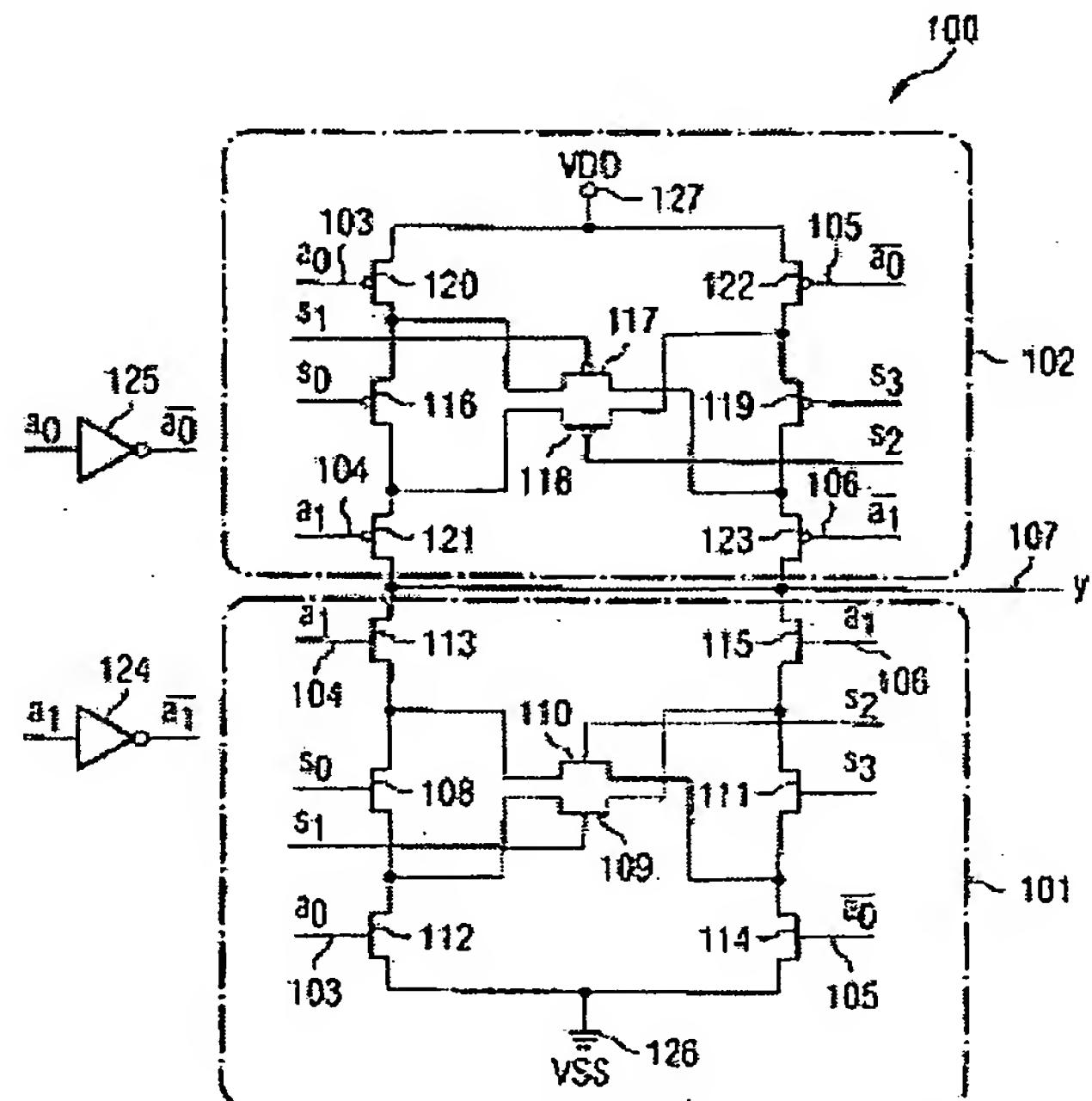
**Application number:** DE20031057209 20031208

**Priority number(s):** DE20031057209 20031208

[Report a data error here](#)

**Abstract of DE10357209**

A basic logic cell comprises four data signal inputs for two data signals and their logical complement signals, and four logic selection elements between inputs. Logical combinations of two data signals are available at the data signal output according to a logic function that is selected by logic selection elements. Preferably the logic selection element are of unalterable hardware type, e.g. formed by several metalized levels and or vias and are in the form of specified transistors. - Independent claims are included for a basic logic cell appliance and logic module.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide



(19) Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) DE 103 57 209 A1 2005.07.07

(12)

# Offenlegungsschrift

(21) Aktenzeichen: 103 57 209.0

(22) Anmeldetag: 08.12.2003

(43) Offenlegungstag: 07.07.2005

(51) Int Cl. 7: H03K 19/094  
H03K 19/20

**(71) Anmelder:  
Infineon Technologies AG, 81669 München, DE**

(74) Vertreter:  
**Viering, Jentschura & Partner, 80538 München**

(72) Erfinder:  
Gliese, Jörg, 80469 München, DE

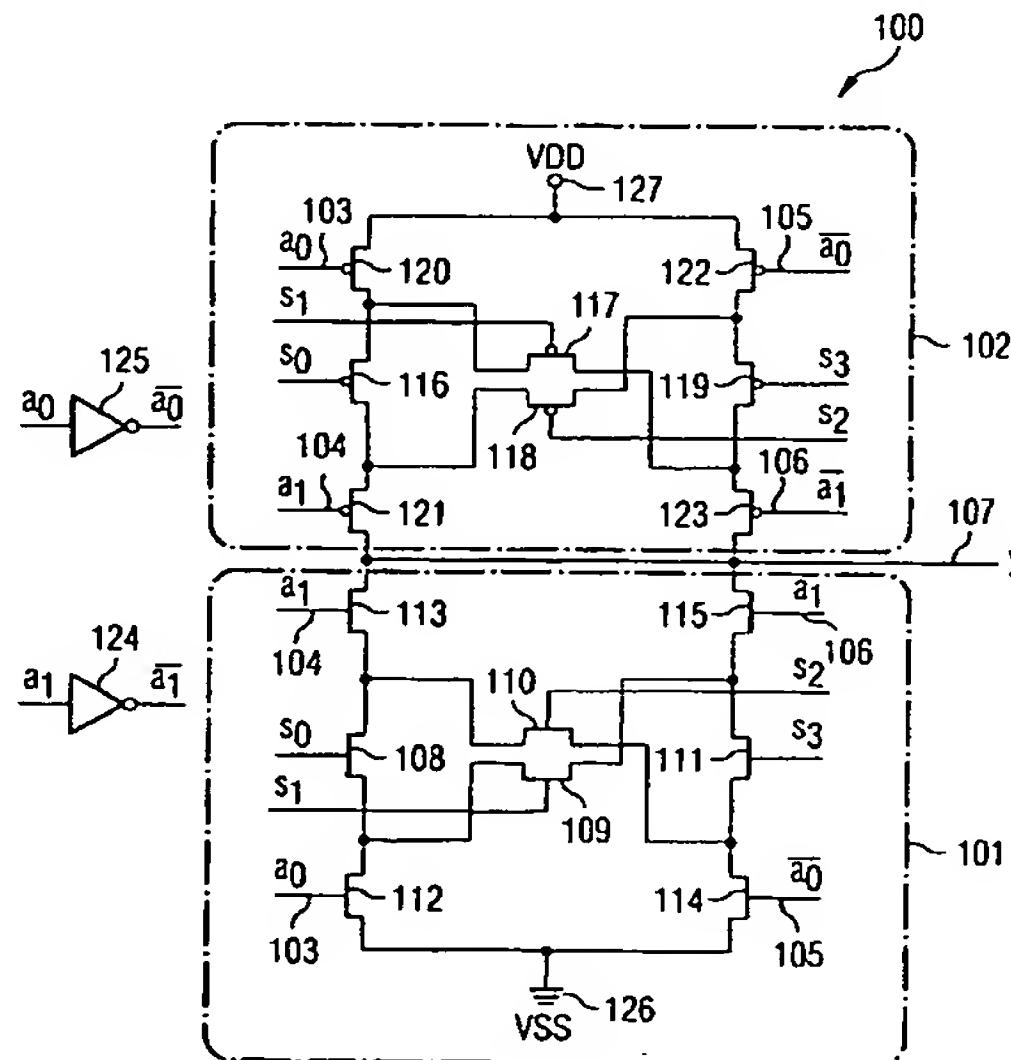
(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:  
US 55 68 067 A  
US 65 29 040 B1  
US 62 85 218 B1  
**WANNEMACHER, Markus: Das FPGA-Kochbuch**  
**Bonn:**  
**International Thomson Publishing Company,**  
**1998,**  
**S. 111 u. 197;**

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Logik-Grundzelle**, **Logik-Grundzellen-Anordnung** und **Logik-Vorrichtung**

(57) Zusammenfassung: Die Erfindung betrifft eine Logik-Grundzelle, eine Logik-Grundzellen-Anordnung und eine Logik-Vorrichtung. Eine Logik-Grundzelle ist bereitgestellt zum Bilden einer logischen Verknüpfung von zwei Datensignalen gemäß einer mittels einer Mehrzahl von Logikauswahl-Elementen auswählbaren Logikfunktion, mit vier Datensignaleingängen, an denen zwei Datensignale und deren logisch komplementäre Datensignale anlegbar sind, und mit vier Logikauswahl-Elementen zwischen den Datensignaleingängen. An einem Datensignalausgang ist als Ausgangssignal die logische Verknüpfung der zwei Datensignale gemäß der mittels der Logikauswahl-Elemente ausgewählten Logikfunktion bereitstellbar.



**Beschreibung**

**[0001]** Die Erfindung betrifft eine Logik-Grundzelle, eine Logik-Grundzellen-Anordnung und eine Logik-Vorrichtung.

**Stand der Technik**

**[0002]** Mit dem Aufkommen der Digitaltechnik und der sich sprunghaft entwickelten Mikroprozessortechnik entstand ein Bedarf nach programmierbarer Logik. Ein PLD ("Programmable Logical Device") ist ein integrierter Schaltkreis, der vom Anwender mittels Programmierens in seiner Logikfunktion festgelegt wird. Ein PLD ist eine Architektur für digitale Logikoperationen mit einer Mehrzahl von Schaltern, welche eine Vielzahl von Signalpfaden ermöglichen. Die einem PLD anwenderspezifisch zugeordnete Logikfunktion wird mittels Konfigurierens des PLDs festgelegt.

**[0003]** Zu den PLDs gehören unter anderen Field Programmable Gate Arrays (FPGAs), deren Funktionalität ihnen vom Anwender zugeordnet werden kann, Mask Programmable Gate Arrays (MPGAs, auch "structured ASICs" genannt), welchen mittels hardwaremäßigen Konfigurierens eine Logikfunktion zugewiesen werden kann. Via Programmable Gate Arrays (VPGAs) gehören zu den MPGAs.

**[0004]** Eine digitale Logikzelle bildet  $n$  Eingangssignale auf ein Ausgangssignal ab. Die Anzahl der möglichen Abbildungsfunktionen ist  $2^{2^n}$ . Eine Schaltungegruppe als digitale Logikzelle wird gemäß dem Stand der Technik z.B. unter Verwendung von sogenannten Look-Up-Tabellen (LUT), anschaulich Nachschlagetabellen, realisiert. Hierfür werden Funktionswerte der Logikfunktion mittels eines Datenwortes von  $2^n$  Bit eingestellt. Mit anderen Worten ist die jeweils ausgewählte Logikfunktion in ein Datenwort codiert. Entsprechend der ausgewählten Logikfunktion werden  $n$  Eingangssignale  $a_0, a_1, \dots, a_{n-1}$  miteinander verknüpft. Somit können die Logikeingangssignale der Logikfunktion  $y = f(a_0, a_1, \dots, a_{n-1})$  als binäre Adresse angesehen werden und in eine One-Hot-Codierung gewandelt werden, um anschließend über Pass-Gate-Logik den Funktionswert zu wählen. Ein solches Verfahren ist zum Beispiel in [1] offenbart.

**[0005]** Alternativ können die Eingänge als Steuer-eingänge für einen Multiplexer-Baum dienen, siehe [2]. Die Multiplexer können logikbasiert und/oder auf Basis von Transmissions-Gates realisiert werden.

**[0006]** In [3] ist ein FPGA auf Basis einer Look-Up-Tabelle (LUT) offenbart.

**[0007]** Die aus dem Stand der Technik bekannten Logik-Grundzellen unter Verwendung einer Look-Up-Tabelle weisen hinsichtlich Schaltgeschwin-

digkeit bzw. Störsicherheit Nachteile auf. Die bekannten Lösungen lassen sich ferner für viele Anwendungen nicht ausreichend kompakt im Layout realisieren. Daher ist mit den aus dem Stand der Technik bekannten LUT-Lösungen eine fortgesetzte Skalierung nur schwierig möglich.

**[0008]** Alternativ zu den bekannten LUT-Architekturen sind aus dem Stand der Technik Verschaltungen aus einzelnen Logikgattern bekannt, mit denen eine gewünschte Logikfunktion gebildet werden kann. Allerdings ist eine solche Architektur auf das Bilden einer ganz bestimmten Logikfunktion beschränkt, wohingegen der Gesamtumfang aller möglichen Logikabbildungs-Funktionen unter Verwendung vorgegebener Logikgatter nur sehr aufwendig zu realisieren ist. Auch hinsichtlich der erreichbaren Schaltgeschwindigkeit sind die komplizierten Logikgatter beschränkt. Die Einschränkung des Umfangs der möglichen Logikfunktionen kompliziert die automatische Logikpartitionierung bei einem FPGA Entwurf erheblich.

**[0009]** Ein anderer Ansatz besteht darin, logische Komplexgatter, die eine Verknüpfung von mehreren logischen Eingängen realisieren, flexibel beschaltbar zu machen und durch geschicktes Kombinieren von weniger als den möglichen Eingängen zu einer vollständigen oder fast vollständigen Abdeckung des kombinatorischen Funktionsraums zu gelangen. Eine solche Realisierung weist jedoch den Nachteil auf, dass Flexibilität außerhalb der Zelle zur inneren logischen Konfiguration der Zelle benutzt wird und damit eingeschränkt ist. Außerdem ist das funktionelle Mapping in der Regel aufwendig.

**Aufgabenstellung**

**[0010]** Der Erfindung liegt insbesondere das Problem zugrunde, eine Logik-Grundzelle, eine Logik-Grundzellen-Anordnung und eine Logik-Vorrichtung mit einer alternativen Architektur bereitzustellen.

**[0011]** Das Problem wird durch eine Logik-Grundzelle, durch eine Logik-Grundzellen-Anordnung und durch eine Logik-Vorrichtung mit den Merkmalen gemäß den unabhängigen Patentansprüchen gelöst.

**[0012]** Erfindungsgemäß ist eine Logik-Grundzelle zum Bilden einer logischen Verknüpfung von zwei Datensignalen gemäß einer mittels einer Mehrzahl von Logikauswahl-Elementen ausführbaren Logikfunktion geschaffen, mit vier Datensignaleingängen, an denen zwei Datensignale und deren logisch komplementäre Datensignale anlegbar sind. Ferner ist ein erstes Logikauswahl-Element zwischen einem ersten Datensignaleingang und einem zweiten Datensignaleingang bereitgestellt, ein zweites Logikauswahl-Element zwischen dem ersten Datensignaleingang und einem vierten Datensignaleingang, ein

drittes Logikauswahl-Element zwischen dem zweiten Datensignaleingang und einem dritten Datensignal eingang und ein vierter Logikauswahl-Element zwischen dem dritten und dem vierten Datensignaleingang. Die erfindungsgemäße Logik-Grundzelle enthält darüber hinaus einen Datensignalausgang, an dem als Ausgangssignal die logische Verknüpfung der zwei Datensignale gemäß der mittels der Logikauswahl-Elemente ausgewählten Logikfunktion bereitstellbar ist.

[0013] Die erfindungsgemäße Logik-Grundzellen-Anordnung zum Bilden einer logischen Verknüpfung von drei Datensignalen enthält eine erste und eine zweite Logik-Grundzelle mit den oben beschriebenen Merkmalen, an deren Datensignaleingängen die zwei Datensignale und deren logisch komplementäre Datensignale anlegbar sind. Ferner enthält die Logik-Grundzellen-Anordnung einen Multiplexer, an dessen ersten Dateneingang das Ausgangssignal der ersten Logik-Grundzelle bereitgestellt ist, an dessen zweiten Dateneingang das Ausgangssignal der zweiten Logik-Grundzelle bereitgestellt ist, und an dessen Steuereingang ein drittes Datensignal bereitgestellt ist. An einem Datensignalausgang der Logik-Grundzellen-Anordnung ist als Ausgangssignal die logische Verknüpfung der drei Datensignale bereitgestellt.

[0014] Die erfindungsgemäße Logik-Vorrichtung zum Bilden einer logischen Verknüpfung von mehr als drei Datensignalen enthält eine Mehrzahl von Logik-Grundzellen-Anordnungen mit den oben beschriebenen Merkmalen.

[0015] Eine Grundidee der Erfindung ist darin zu sehen, dass eine Logik-Grundzelle, insbesondere für den Einsatz in regelmäßigen Zellenfeldern (FPGA, MPGA) in einer solchen schaltungstechnischen Realisierung bereitgestellt ist, dass bei einer sehr gerigen Anzahl von erforderlichen Komponenten (z.B. Transistoren) eine komplett Abbildung des kombinatorischen Funktionsraums über  $n$  Eingängen erreicht ist. Mit anderen Worten ist es mit der erfindungsgemäßen Logik-Grundzelle ermöglicht, jede mögliche Logikverknüpfung von zwei Datensignalen in einer optimierten Verschaltung von Logikauswahl-Elementen und Datensignaleingängen zu realisieren.

[0016] Anschaulich werden an den vier Datensignaleingängen ein erstes Datensignal, ein zu dem ersten Datensignal komplementäres Datensignal, ein zweites Datensignal und ein zu dem zweiten Datensignal komplementäres Datensignal angelegt. Die Logikauswahl-Elemente sind derart konfiguriert, dass sie die von der erfindungsgemäßen Logik-Grundzelle realisierte Logikfunktion determinieren. Dies kann z.B. durch eine hartverdrahtete Realisierung der Logikauswahl-Elemente erreicht werden, so dass in

diesem Fall die Logikfunktion mittels der durch die Logikauswahl-Elemente vorgegebenen unveränderlichen Verdrahtung der Datensignaleingänge bestimmt ist. Alternativ können die Logikauswahl-Elemente zum Beispiel als Logikauswahl-Transistoren vorgesehen sein, wobei mittels Anlegens von Logikauswahlsignalen an deren Gate-Anschlüsse die zu realisierende Logikfunktion vorgegeben wird.

[0017] Die erfindungsgemäße Architektur der Logik-Grundzelle stellt eine sehr einfache Anordnung dar, bei der es mit schaltungstechnisch sehr geringem Aufwand ermöglicht ist, jede mögliche Logikfunktion zu realisieren. Die besonders kompakte Realisierung der erfindungsgemäßen Logik-Grundzelle spart Chip-Fläche und ermöglicht somit eine fortgesetzte Miniaturisierung.

[0018] Aufgrund der Miniaturisierbarkeit der Logik-Grundzelle der Erfindung, bei der nur sehr wenige schaltungstechnische Komponenten verwendet sind, sind die Signalwege kurz gehalten, ist eine energie sparende Betreibbarkeit ermöglicht und ist eine hohe Verarbeitungsgeschwindigkeit bei großer Flexibilität hinsichtlich der zu realisierenden Logikfunktionen erreicht.

[0019] Anders ausgedrückt stellt die erfindungsgemäße Logik-Grundzelle eine stark verbesserte bzw. optimale Realisierung einer logischen Funktion von zwei Eingängen dar.

[0020] Gemäß der Booleschen Algebra lässt sich eine vollständige logische Funktion  $f$  von  $n + 1$  Eingängen bzw. Datensignalen  $a_n, a_{n-1}, \dots, a_1, a_0$  mit Hilfe der Abbildungsvorschrift

$$f(a_n, a_{n-1}, \dots, a_1, a_0) = \bar{a}_n \cdot f_0(a_{n-1}, \dots, a_1, a_0) + a_n \cdot f_1(a_{n-1}, \dots, a_1, a_0) \quad (1)$$

in zwei Unterfunktionen  $f_0, f_1$  von  $n$  Eingängen zerlegen. Mit anderen Worten wird die logische Funktion  $f$  von  $n + 1$  Eingängen zurückgeführt auf zwei Logikteilfunktionen  $f_0, f_1$  mit jeweils  $n$  Eingängen.

[0021] Anschaulich kann für den Spezialfall  $n + 1 = 3$  jede der Funktionen  $f_0, f_1$  durch eine erfindungsgemäße Logik-Grundzelle realisiert werden. Die Verknüpfung gemäß Gleichung (1) wird für  $n + 1 = 3$  durch einen Multiplexer realisiert, an dessen Datensignaleingängen die Ausgangssignale der beiden Logik-Grundzellen  $f_0, f_1$  bereitgestellt sind, und an dessen Steuereingang das Datensignal  $a_2$  (bzw. das zu  $a_2$  logisch komplementäre Datensignal  $\bar{a}_2$ ) bereitgestellt ist. Eine solche Konfiguration entspricht der erfindungsgemäßen Logik-Grundzellen-Anordnung.

[0022] Anders ausgedrückt wird die Beziehung von Gleichung (1), mittels des Multiplexers der Logik-Grundzellen-Anordnung realisiert. Mit vollständi-

ger Induktion lässt sich basierend auf Gleichung (1) zeigen, dass eine beliebig komplexe logische Funktion auf Unterfunktion von zwei Eingängen zurückgeführt werden kann. Da ein Multiplexer sehr kompakt aufgebaut werden kann (z.B. Multiplexer aus zwei gegengleich schaltenden Transmissions-Gates mit vier Transistoren), ist eine solche Zerlegung sehr vorteilhaft.

**[0023]** Mit der erfindungsgemäßen Logik-Grundzelle ist eine sehr günstige Realisierung einer logischen Funktion von zwei Eingängen geschaffen. Zur Darstellung einer solchen Funktion zweier Eingänge  $y = f(a_1, a_0)$  werden an vier Datensignaleingängen die Datensignale  $a_0, a_0, a_1, a_1$  bereitgestellt, z.B. an den Gate-Anschlüssen von vier Datensignal-Transistoren. Ferner sind die vier Logikauswahl-Elemente bereitgestellt, z.B. realisiert als Logikauswahl-Transistoren, zum Aufbau aller vier möglichen Produktterme.

**[0024]** In Standard-CMOS-Technologie werden logische Gatter aus einem Pull-Up- und einem Pull-Down-Pfad zusammengesetzt. Für jeden der beiden Pfade gilt die obige Argumentation in gleicher Weise, so dass für eine Realisierung aller Funktionen von zwei Eingängen in CMOS-Logik sechzehn Transistoren ausreichen, sofern die Konfigurationsschalter bzw. Logikauswahl-Elemente als Logikauswahl-Transistoren ausgeführt sind.

**[0025]** Die Vorteile der erfindungsgemäßen Logik-Grundzelle sind die geringe Fläche bei hoher Schaltgeschwindigkeit der Zelle und bei sehr geringer Leistungsaufnahme. Diese Vorteile werden ohne Einschränkung der Flexibilität hinsichtlich der realisierbaren Logikfunktion erreicht.

**[0026]** Bevorzugte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

**[0027]** Die Logikauswahl-Elemente können unveränderliche Hardware-Elemente sein. Gemäß dieser Realisierung wird die gewünschte Logikfunktion einmal fest vorgegeben, und zwar mittels Verdrahtens der vier Datensignaleingänge in einer vorgegebenen Weise. Die Kopplung zwischen den einzelnen Datensignalen, die an den Datensignaleingängen bereitgestellt werden, wird durch die Verschaltung der Logikauswahl-Elemente vorgegeben und führt somit zu einer eindeutigen Logikfunktion.

**[0028]** Gemäß der beschriebenen Konfiguration können die Logikauswahl-Elemente mittels einer Mehrzahl von Metallisierungsebenen und/oder Vias realisiert werden.

**[0029]** Bei der erfindungsgemäßen Logik-Grundzelle kann das erste Logikauswahl-Element ein erster Logik-Transistor sein, der mittels eines ersten Logikauswahlsignals steuerbar ist. Das zweite Logikaus-

wahl-Element kann ein zweiter Logik-Transistor sein, der mittels eines zweiten Logikauswahlsignals steuerbar ist. Das dritte Logikauswahl-Element kann ein Logik-Transistor sein, der mittels eines dritten Logikauswahlsignals steuerbar ist, und das vierte Logikauswahl-Element kann ein vierter Logik-Transistor sein, der mittels eines vierten Logikauswahlsignals steuerbar ist. Gemäß dieser Ausgestaltung werden vier Logikauswahlsignale an die Logik-Transistoren, vorzugsweise an deren Gate-Anschlüsse, angelegt, wodurch eine ganz bestimmte Kopplung der Datensignale an den Datensignaleingängen realisiert wird. Gemäß dieser speziellen Kopplung, die variabel vorgebbar ist, wird die realisierte Logikfunktion vorgegeben.

**[0030]** Ferner kann die Logik-Grundzelle der Erfindung vier Datensignal-Transistoren aufweisen, an deren Gate-Anschlüssen jeweils eines der Datensignale oder der logisch komplementären Datensignale bereitstellbar ist. Bei dieser Ausgestaltung werden die vier Datensignale, d.h. das erste Datensignal und sein logisches Komplement, sowie das zweite Datensignal und sein logisches Komplement über Gate-Anschlüsse von vier Datensignal-Transistoren in die erfindungsgemäße Logik-Grundzelle eingekoppelt.

**[0031]** Gemäß der beschriebenen Ausgestaltung kann ein erster Datensignal-Transistor derart verschaltet sein, dass ein erster Source-/Drain-Anschluss mit einem ersten Source-/Drain-Anschluss des ersten Logik-Transistors und mit einem zweiten Source-/Drain-Anschluss des zweiten Logik-Transistors gekoppelt ist. Ferner kann der zweite Source-/Drain-Anschluss des zweiten Datensignal-Transistors mit einem ersten Source-/Drain-Anschluss eines dritten Datensignal-Transistors gekoppelt sein.

**[0032]** Der dritte Datensignal-Transistor kann derart verschaltet sein, dass dessen zweiter Source-/Drain-Anschluss mit einem ersten Source-/Drain-Anschluss des vierten Logik-Transistors und mit einem ersten Source-/Drain-Anschluss des dritten Logik-Transistors gekoppelt ist.

**[0033]** Ein zweiter Datensignal-Transistor kann derart verschaltet sein, dass dessen erster Source-/Drain-Anschluss mit einem zweiten Source-/Drain-Anschluss des ersten Logik-Transistors und mit einem zweiten Source-/Drain-Anschluss des dritten Logik-Transistors gekoppelt ist. Ein zweiter Source-/Drain-Anschluss des zweiten Datensignal-Transistors kann mit einem ersten Source-/Drain-Anschluss eines vierten Datensignal-Transistors gekoppelt sein.

**[0034]** Der vierte Datensignal-Transistor kann derart verschaltet sein, dass dessen zweiter Source-/Drain-Anschluss mit einem zweiten Source-/Drain-Anschluss des zweiten Logik-Transistors

und mit einem zweiten Source-/Drain-Anschluss des vierten Logik-Transistors gekoppelt ist.

**[0035]** Die beschriebene Verschaltung der vier Datensignal-Transistoren mit den vier Logik-Transistoren stellt eine bevorzugte schaltungstechnische Realisierung einer Logik-Grundzelle zum Realisieren aller möglichen Logikfunktionen zum Verknüpfen der Datensignale bereit, und dies mit schaltungstechnisch sehr geringem Aufwand.

**[0036]** Die erfindungsgemäße Logik-Grundzelle kann einen mit dem Datensignalaustritt gekoppelten Evaluierungs-Schalter und einen Vorlade-Schalter aufweisen, welche Schalter derart verschaltet und steuerbar sind, dass an einem Ausgang der Logik-Grundzelle bei geöffnetem (d.h. Signaltransfer erlaubendem) Evaluierungs-Schalter und geschlossenem (d.h. Signaltransfer nicht erlaubendem) Vorlade-Schalter das Ausgangssignal bereitgestellt ist, und an einem Ausgang der Logik-Grundzelle bei geöffnetem Vorlade-Schalter und geschlossenem Evaluierungs-Schalter ein Referenzsignal bereitgestellt ist. Der Evaluierungs-Schalter und der Vorlade-Schalter können jeweils Transistoren sein, insbesondere Feldeffekttransistoren oder Bipolartransistoren.

**[0037]** Gemäß dieser Ausgestaltung kann mittels des Vorlade- oder Precharge-Schalters der Ausgang auf das Referenzpotential geladen werden (Precharge-Phase), z.B. während der ersten Hälfte einer Schaltperiode der Logik-Grundzelle. Mittels des Evaluierungs-Schalters kann an dem Ausgang das gemäß der vorgegebenen Logikfunktion verarbeitete Ausgangssignal bereitgestellt werden, z.B. während der zweiten Hälfte der Schaltperiode der Logik-Grundzelle (Evaluate-Phase).

**[0038]** Jeder der Logik-Transistoren und jeder der Datensignal-Transistoren der Logik-Grundzelle kann ein Transistor eines ersten Leitungstyps sein, wobei die Transistoren des ersten Leitungstyps einen ersten Datensignalpfad bilden. Ein zweiter Datensignalpfad kann aus Transistoren eines zweiten Leitungstyp gebildet werden, der zu dem ersten Leitungstyp komplementär ist, wobei zu jedem der Transistoren des ersten Datensignalpfads ein entsprechend verschalteter Transistor in dem zweiten Datensignalpfad bereitgestellt ist.

**[0039]** Die beiden Datensignalpfade sind zueinander symmetrisch, wobei in dem ersten Datensignalpfad die Logikfunktion unter Verwendung von Transistoren eines ersten Leitungstyps (p-Leitungstyp bzw. n-Leitungstyp) und in dem zweiten Signalpfad aus Transistoren eines zweiten Leitungstyps (p-Leitungstyp bzw. n-Leitungstyp) realisiert wird.

**[0040]** Der erste Leitungstyp kann der p-Leitungstyp

und der zweite Leitungstyp kann der n-Leitungstyp sein. Alternativ kann der erste Leitungstyp der n-Leitungstyp und der zweite Leitungstyp der p-Leitungstyp sein.

**[0041]** Somit kann die erfindungsgemäße Logik-Grundzelle als CMOS Logik-Grundzelle eingereichtet sein.

**[0042]** Die Logik-Grundzelle kann ferner einen ersten Inverter zum Bilden eines zu einem ersten Datensignal logisch komplementären Datensignals aufweisen, und einen zweiten Inverter zum Bilden eines zu einem zweiten Datensignal logisch komplementären Datensignals.

**[0043]** Es können das erste Datensignal und das zweite Datensignal an Eingängen der Logik-Grundzelle bereitgestellt werden, und aus diesen kann unter Verwendung jeweils eines Inverters das jeweils komplementäre oder inverse Datensignal generiert werden und zur Logikverarbeitung in die Logik-Grundzelle eingekoppelt werden.

**[0044]** Zwei der Datensignal-Transistoren der Logik-Grundzelle können Transistoren eines ersten Leitungstyps sein und zwei Datensignal-Transistoren können Transistoren eines zweiten Leitungstyps sein, der zu dem ersten Leitungstyp komplementär ist, wobei die vier Datensignal-Transistoren einen ersten Datensignalpfad bilden. Ferner kann ein zweiter Datensignalpfad aus Transistoren gebildet sein, wobei zu jedem der Transistoren des ersten Datensignalpfads ein entsprechend verschalteter Transistor in einem zweiten Datensignalpfad bereitgestellt ist. Entsprechende Transistoren des ersten und des zweiten Datensignalpfads sind Transistoren des jeweils gleichen Leitungstyps.

**[0045]** Gemäß dieser Ausgestaltung sind in den beiden Datensignalpfaden jeweils Transistoren beider Leitungstypen (n-Leitungstyp und p-Leitungstyp) vorgesehen. Mit dieser Realisierung können die Inverter, welche gemäß einem anderen Ausführungsbeispiel zum Bilden der zu den Datensignalen  $a_0$ ,  $a_1$  logisch komplementären Werte vorgesehen sein können, eingespart werden.

**[0046]** In diesem Szenario ist es vorteilhaft, den Transistoren eines jeweiligen Datensignalpfads derartige Versorgungspotentiale bereitzustellen, dass unterschiedliche Schwellenspannungen von Transistoren des ersten und des zweiten Leitungstyps ganz oder teilweise kompensiert sind.

**[0047]** Anschaulich wird gemäß der beschriebenen Ausgestaltung das unterschiedliche Schaltverhalten von p-MOS- und n-MOS-Transistoren ausgenutzt. Unter Ausnutzung dieses unterschiedlichen Schaltverhaltens kann es entbehrlich sein, mittels Invertern

die jeweils logisch komplementären Werte zu den Datensignalen  $a_1$ ,  $a_0$  zu bilden. Allerdings können p-MOS- und n-MOS Transistoren unterschiedliche Werte von Schwellenspannungen aufweisen, die mittels Bereitstellens unterschiedlicher Versorgungspotentiale kompensiert werden.

[0048] Die erfindungsgemäße Logik-Grundzelle kann als Application Specific Integrated Circuit vorgesehen sein. Insbesondere kann die Logik-Grundzelle als Programmable Logical Device (PLD), als Field-Programmable Gate Array (FPGA) oder als maskenprogrammierter Application-Specific Integrated Circuit vorgesehen sein.

[0049] Wenngleich Ausgestaltungen der Logik-Grundzelle beschrieben worden sind, so sollen diese Ausgestaltungen auch für die erfindungsgemäße Logik-Grundzellen-Anordnung und die erfindungsgemäße Logik-Vorrichtung gelten.

#### Ausführungsbeispiel

[0050] Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Weiteren näher erläutert.

[0051] Es zeigen:

[0052] Fig. 1 eine Logik-Grundzelle gemäß einem ersten Ausführungsbeispiel der Erfindung,

[0053] Fig. 2 eine Tabelle, in der die Korrelation zwischen Werten von vier Logikauswahlsignalen und einer von der Logik-Grundzelle gemäß Fig. 1 realisierten Logik-Funktion dargestellt sind,

[0054] Fig. 3 eine Logik-Grundzelle gemäß einem zweiten Ausführungsbeispiel der Erfindung,

[0055] Fig. 4 eine Logik-Grundzelle gemäß einem dritten Ausführungsbeispiel der Erfindung,

[0056] Fig. 5 eine Logik-Grundzelle gemäß einem vierten Ausführungsbeispiel der Erfindung,

[0057] Fig. 6 eine Logik-Grundzellen-Anordnung gemäß einem bevorzugten Ausführungsbeispiel der Erfindung.

[0058] Gleiche oder ähnliche Komponenten in unterschiedlichen Figuren sind mit gleichen Bezugsziffern versehen.

[0059] Die Darstellungen in den Figuren sind schematisch und nicht maßstäblich.

[0060] Im Weiteren wird bezugnehmend auf Fig. 1 eine Logik-Grundzelle 100 gemäß einem ersten Ausführungsbeispiel der Erfindung beschrieben.

[0061] Die Logik-Grundzelle 100 weist eine ersten Datensignalpfad 101 aus n-MOS Transistoren und einen zweiten Datensignalpfad 102 aus p-MOS Transistoren auf.

[0062] Im Weiteren wird die Struktur des ersten Datensignalpfads 101 näher beschreiben.

[0063] Der erste Datensignalpfad 101 weist einen ersten Datensignaleingang 103 auf, an dem ein erstes Datensignal  $a_0$  bereitgestellt ist. Ferner ist an einem zweiten Datensignaleingang 104 ein zweites Datensignal  $a_1$  bereitgestellt. An einem dritten Datensignaleingang 105 ist ein zu dem ersten Datensignal  $a_0$  komplementäres Datensignal  $\bar{a}_0$  bereitgestellt. Darüber hinaus ist an einem vierten Datensignaleingang 106 ein dem zweiten Datensignal  $a_1$  komplementäres Datensignal  $\bar{a}_1$  bereitgestellt.

[0064] An einem Datensignalausgang 107 ist das Ausgangssignal  $y$  der logischen Verknüpfung der Datensignale  $a_0$ ,  $a_1$  (sowie deren logisch komplementärer Signale  $\bar{a}_0$ ,  $\bar{a}_1$ ) gemäß einer ausgewählten Logikfunktion bereitgestellt.

[0065] Als ein erstes Logikauswahl-Element ist ein erster n-MOS-Logikauswahl-Transistor 108 zwischen dem ersten Datensignaleingang 103 und dem zweiten Datensignaleingang 104 bereitgestellt. Der erste n-MOS-Logikauswahl-Transistor 108 ist mittels eines ersten Logikauswahlsignals  $s_0$  steuerbar. Ferner ist ein zweiter n-MOS-Logikauswahl-Transistor 109 als ein zweites Logikauswahl-Element zwischen dem ersten Datensignaleingang 103 und dem vierten Datensignaleingang 106 bereitgestellt. Der zweite n-MOS-Logikauswahl-Transistor 109 ist mittels eines zweiten Logikauswahlsignals  $s_1$  steuerbar. Darüber hinaus ist als drittes Logikauswahl-Element ein dritter n-MOS-Logikauswahl-Transistor 110 zwischen dem zweiten Datensignaleingang 104 und dem dritten Datensignaleingang 105 bereitgestellt, welcher dritte Logikauswahl-Transistor 110 mittels eines dritten Logikauswahlsignals  $s_2$  steuerbar ist. Als ein vierter Logikauswahl-Element ist ein vierter n-MOS-Logikauswahl-Transistor 111 zwischen dem dritten Datensignaleingang 105 und dem vierten Datensignaleingang 106 verschaltet, welcher vierte n-MOS-Logikauswahl-Transistor 111 mittels eines vierten Logikauswahlsignals  $s_3$  steuerbar ist.

[0066] Der erste Datensignaleingang 103 ist mit dem Gate-Bereich eines ersten n-MOS-Datensignal-Transistors 112 gekoppelt. Der zweite Datensignaleingang 104 ist mit dem Gate-Bereich eines zweiten n-MOS-Datensignal-Transistors 113 gekoppelt. Der dritte Datensignaleingang 105 ist mit dem Gate-Bereich eines dritten n-MOS-Datensignal-Transistors 114 gekoppelt. Der vierte Dateneingang 106 ist mit dem Gate-Bereich eines vierten n-MOS-Datensignal-Transistors 115 gekoppelt.

[0067] Der erste n-MOS-Datensignal-Transistor 112 ist derart verschaltet, dass dessen erster Source-/Drain-Anschluss mit einem ersten Source-/Drain-Anschluss des ersten n-MOS-Logikauswahl-Transistors 108 und mit einem ersten Source-/Drain-Anschluss des zweiten n-MOS-Logikauswahl-Transistors 109 gekoppelt ist. Ein zweiter Source-/Drain-Anschluss des ersten n-MOS-Datensignal-Transistors 112 ist mit einem ersten Source-/Drain-Anschluss des dritten n-MOS-Datensignal-Transistors 114 gekoppelt, und ist auf das elektrische Versorgungspotential 126 gebracht. Der dritte n-MOS-Datensignal-Transistor 114 ist derart verschaltet, dass dessen zweiter Source-/Drain-Anschluss mit einem ersten Source-/Drain-Anschluss des vierten n-MOS-Logikauswahl-Transistors 111 und mit einem ersten Source-/Drain-Anschluss des dritten n-MOS Logikauswahl-Transistors 110 gekoppelt ist. Der zweite n-MOS-Datensignal-Transistor 113 ist derart verschaltet, dass dessen erster Source-/Drain-Anschluss mit einem zweiten Source-/Drain-Anschluss des ersten n-MOS-Logikauswahl-Transistors 108 und mit einem zweiten Source-/Drain-Anschluss des dritten n-MOS-Logikauswahl-Transistors 110 gekoppelt ist. Ein zweiter Source-/Drain-Anschluss des zweiten n-MOS-Datensignal-Transistors 113 ist mit einem ersten Source-/Drain-Anschluss des vierten n-MOS-Datensignal-Transistors 115 gekoppelt. Der vierte n-MOS-Datensignal-Transistor 115 ist derart verschaltet, dass dessen zweiter Source-/Drain-Anschluss mit einem zweiten Source-/Drain-Anschluss des zweiten n-MOS-Logikauswahl-Transistors 109 und mit einem zweiten Source-/Drain-Anschluss des vierten n-MOS Logikauswahl-Transistors 111 gekoppelt ist. Der zweite Source-/Drain-Anschluss des zweiten n-MOS-Datensignal-Transistors 113 und der erste Source-/Drain-Anschluss des vierten n-MOS-Datensignal-Transistors 115 sind mit dem Datensignalausgang 107 y gekoppelt.

[0068] Mittels eines ersten Inverters 124 kann aus dem zweiten Datensignal  $a_1$ , das dazu komplementäre Datensignal  $\bar{a}_1$ , generiert werden. Mittels eines zweiten Inverters 125 kann aus dem ersten Datensignal  $a_0$  das dazu komplementäre Datensignal  $\bar{a}_0$  generiert werden.

[0069] Im Weiteren wird der Aufbau des zweiten Datensignalpfads 102 beschrieben. Dieser ist in völlig symmetrischer Weise verschaltet wie der erste Datensignalpfad 101. Anstelle eines ersten n-MOS-Logikauswahl-Transistors 108 ist in dem zweiten Datensignalpfad 102 ein erster p-MOS-Logikauswahl-Transistor 116 bereitgestellt. Der zweite n-MOS-Logikauswahl-Transistor 109 ist durch einen zweiten p-MOS-Logikauswahl-Transistor 117 ersetzt. Der dritte n-MOS-Logikauswahl-Transistor 110 ist durch einen dritten p-MOS-Logikauswahl-Transistor 118 ersetzt. Der vierte n-MOS-Logikauswahl-Transistor 111

ist durch einen vierten p-MOS-Logikauswahl-Transistor 119 ersetzt. Der erste n-MOS-Datensignal-Transistor 112 ist durch einen ersten p-MOS-Datensignal-Transistor 120 ersetzt. Der zweite n-MOS-Datensignal-Transistor 113 ist durch einen zweiten p-MOS-Datensignal-Transistor 121 ersetzt. Der dritte n-MOS-Datensignal-Transistor 114 ist durch einen dritten p-MOS-Datensignal-Transistor 122 ersetzt. Der vierte n-MOS-Datensignal-Transistor 115 ist durch einen vierten p-MOS-Datensignal-Transistor 123 ersetzt.

[0070] Die miteinander gekoppelten Source-/Drain-Anschlüsse des ersten p-MOS-Datensignal-Transistors 120 und des dritten p-MOS-Datensignal-Transistors 122 sind auf das Versorgungspotential 127 gebracht. Ferner sind die miteinander gekoppelten Source-/Drain-Anschlüsse des zweiten p-MOS-Datensignal-Transistors 121 und des vierten p-MOS-Datensignal-Transistors 123 mit dem Datensignalausgang 107 gekoppelt.

[0071] Im Weiteren wird die Funktionalität der Logik-Grundzelle 100 beschrieben.

[0072] Die Logik-Grundzelle 100 stellt eine Realisierung einer optimierten Logik-Grundzelle von zwei Eingängen  $a_0$ ,  $a_1$  in statischer Standard-CMOS-Schaltungstechnik dar. Mittels Vorgebens der ersten bis vierten Logikauswahlsignale  $s_0$  bis  $s_3$  wird festgelegt, ob die Kanal-Bereiche der Logikauswahl-Transistoren 108 bis 111 bzw. 116 bis 119 leitend oder nichtleitend sind. Dadurch werden bestimmte Signalpfade innerhalb der Datensignalpfade 101 bzw. 102 erlaubt, andere ausgeschlossen. Dies führt zu einer definierten Verknüpfung der Eingangssignale  $a_0$ ,  $a_1$ ,  $\bar{a}_0$ ,  $\bar{a}_1$  gemäß einer Logikfunktion, die mittels Vorgebens der Logikauswahlsignale  $s_0$  bis  $s_3$  vorgegeben werden. Die Verknüpfung der Datensignale gemäß der vorgegebenen Logikfunktion führt zu einem Ausgangssignal  $y$ , das an dem Datensignalausgang 107 bereitgestellt wird.

[0073] Die in Fig. 2 gezeigte Tabelle 200 gibt an, welche Logikfunktion  $y$  für die unterschiedlichen Permutationen der Logikauswahlsignale  $s_0$  bis  $s_3$  vorgegeben werden. Zum Beispiel werden die Datensignale  $a_0$  und  $a_1$  gemäß einer Nicht-UND-Logikfunktion verknüpft, wenn das erste Logikauswahlsignal  $s_0$  einen logischen Wert "1" aufweist, und die zweiten bis vierten Logikauswahlsignale  $s_1$  bis  $s_3$  jeweils einen logischen Wert "0" aufweisen.

[0074] Tabelle 200 zeigt die Belegung der Schaltvariablen  $s_0$ ,  $s_1$ ,  $s_2$ ,  $s_3$  an, mit Hilfe derer alle möglichen sechzehn Logikfunktionen zum Verknüpfen von zwei Datensignalen  $a_0$  und  $a_1$  eingestellt werden können. Höherwertige komplexe Funktionen können unter Verwendung von Gleichung (1) aufgebaut werden, unter Verwendung einer erfindungsgemäßen Lo-

gik-Grundzellen-Anordnung bzw. Logik-Vorrichtung.

[0075] Im Weiteren wird bezugnehmend auf Fig. 3 eine Logik-Grundzelle 300 gemäß einem zweiten Ausführungsbeispiel der Erfindung beschrieben.

[0076] Im Unterschied zu der Logik-Grundzelle 100 aus Fig. 1 ist die Logik-Grundzelle 300 aus Fig. 3 nicht in CMOS-Logik aufgebaut. Die Logik-Grundzelle 300 ist nur aus einem Datensignalpfad 101 gebildet, dessen interne Verschaltung der Verschaltung der Transistoren in dem ersten Datensignalpfad 101 von Fig. 1 entspricht. Im Unterschied zu der Logik-Grundzelle 100 ist somit bei der Logik-Grundzelle 300 genau ein Datensignalpfad 101 aus n-MOS-Feldeffekttransistoren 108 bis 115 vorgesehen, wohingegen der in Fig. 1 gezeigte Datensignalpfad 102 aus p-MOS-Feldeffekttransistoren 116 bis 122 eingespart ist.

[0077] Ein Ausgabesignal, welches das Ergebnis der Verarbeitung der Datensignale  $a_0$ ,  $a_1$ , der ausgewählten Logikfunktion darstellt, ist an einem Datensignalpfad-Ausgang 305 des Datensignalpfads 101 bereitgestellt, welcher Ausgang mit einem ersten Source-/Drain-Bereich eines n-MOS-Evaluierungs-Transistors 301 gekoppelt ist. Bei einem entsprechenden Signal an einem mit dem Gate-Bereich des Evaluierungs-Transistors 301 gekoppelten Evaluier-Eingang 303 liegt an einem mit dem zweiten Source-/Drain-Bereich des Evaluierungs-Transistors 301 gekoppelten Ausgang 107 der Logik-Grundzelle 300 das verarbeitete Ausgabesignal an. Der zweite Source-/Drain-Bereich des Evaluierungs-Transistors 301 ist mit einem ersten Source-/Drain-Bereich eines p-MOS-Vorlade-Transistors 302 gekoppelt, dessen zweiter Source-/Drain-Bereich auf das elektrische Versorgungspotential 127 gebracht ist. Bei einem entsprechenden Signal an einem mit dem Gate-Bereich des Vorlade-Transistors 302 gekoppelten Vorlade-Eingang 304 liegt an dem mit dem ersten Source-/Drain-Bereich des Vorlade-Transistors 302 gekoppelten Ausgang 107 der Logik-Grundzelle 300 das elektrische Versorgungspotential 127 als Referenzpotential an.

[0078] Verglichen mit Fig. 1 ist in Fig. 3 somit der Pfad aus p-MOS-Transistoren eingespart. Das Pull-Down Netzwerk 101 ist in Fig. 3 wie in Fig. 1 aus n-MOS-Transistoren gebildet, wohingegen in Fig. 3 das Pull-Up-Netzwerk 102 aus p-MOS-Transistoren eingespart ist und durch einen statisch oder dynamisch gestalteten Precharge-Transistor 302 ersetzt ist. Alternativ zu Fig. 3 kann auch der Signalpfad aus n-MOS Transistoren in Fig. 1 eingespart und durch einen Vorlade-Transistor ersetzt werden, wobei in diesem Fall ein Signalpfad aus p-MOS-Transistoren vorgesehen ist.

[0079] Bei der Nicht-Statischen-CMOS-Realisie-

rung der erfindungsgemäß Logik-Grundzelle 300 gemäß Fig. 3 ist somit ein Pull-Up-Transistor 302 vorgesehen, der in einem Teilintervall der Schaltzeit der Logik-Grundzelle 300 den Ausgang 107 y auf einen logischen Wert "1" vorlädt (Precharge-Phase), wohingegen in der restlichen Schaltzeit die ausgewählte Logikfunktion im erfindungsgemäß realisierten Pull-Down-Pfad 101 errechnet wird (Evaluierungs-Phase).

[0080] Alle Schaltungen, die wenigstens einen der beiden Pfade (Pull-Up oder Pull-Down-Pfad) der Struktur von Fig. 1 enthalten, stellen ebenfalls eine Logik-Grundzelle im Sinne der Erfindung dar, unabhängig davon, wie das jeweils entgegengesetzte Logik-Potential realisiert wird.

[0081] Im Weiteren wird bezugnehmend auf Fig. 4 eine Logik-Grundzelle 400 gemäß einem dritten Ausführungsbeispiel der Erfindung beschrieben.

[0082] Die Logik-Grundzelle 400 aus Fig. 4 unterscheidet sich von der in Fig. 1 gezeigten Logik-Grundzelle 100 dadurch, dass die Logikauswahl-Transistoren 108 bis 111 bzw. die Logikauswahl-Transistoren 116 bis 119 durch fest verdrahtete Kontaktierungselemente ersetzt sind, gebildet aus Komponenten 403 bis 405. Die Logik-Grundzelle 400 ist gebildet aus einem ersten Datensignalpfad 401, der die ähnlich wie in Fig. 1 verschalteten ersten bis vierten n-MOS-Datensignal-Transistoren 112 bis 115 enthält, und aus einem zweiten Datensignalpfad 402, der die ähnlich wie in Fig. 1 verschalteten CMOS-Datensignal-Transistoren 120 bis 123 enthält. Die Verschaltung der Datensignal-Transistoren 112 bis 115, 120 bis 123 in den beiden Datensignalpfaden 401, 402 ist hardwaremäßig fest vorgegeben, dass heißt mittels Kontaktierungselementen einer ersten Metallisierungsebene 403, einer zweiten Metallisierungsebene 404 und mittels Vias 405 realisiert, die senkrecht zu der Papierebene von Fig. 4 verlaufend gebildet sind. Anders ausgedrückt sind die Logikauswahl-Elemente der Logik-Grundzelle 400 als unveränderliche Hardware-Elemente vorgesehen, nämlich mittels einer Mehrzahl von Metallisierungsebenen 403, 404 und Vias 405. Die Verdrahtung der Datensignal-Transistoren 112 bis 115 bzw. 120 bis 123 legt eine jeweils fest vorgegebene Logikfunktion fest.

[0083] Anders ausgedrückt sind in Fig. 4 Konfigurationstransistoren 108 bis 111 bzw. 116 bis 119 durch Via-Brücken 403 bis 405 ersetzt. Vorzugsweise werden jeweils zwei Vias pro Brücke verwendet, wodurch die Leitungslast einer offenen Brücke für jeden Transistor so gering wie möglich gehalten wird. Ferner ermöglichen vier Power-Vias 406, evtl. entfallene Logikpfade von der Versorgungsspannung 127  $V_{DD}$  bzw. von dem Massepotential  $V_{SS}$  126 zu trennen. Die Via-Brücken des gleichen Index im p- und n-Pfad werden vorzugsweise zueinander stets entgegenge-

setzt gefertigt. Für Fig. 4 gilt die Funktionalitätstabelle aus Fig. 2.

[0084] Alternativ können die Schalter zwischen den einzelnen Transistoren in Fig. 4 auch durch alle anderen Via-Ebenen, jede beliebige Metalllage, Polysilizium, Diffusionsgebiete oder über jede andere geeignete Ebene eines gegenwärtigen oder eines zukünftigen CMOS-Prozesses hergestellt werden.

[0085] Innerhalb der Standard-CMOS-Schaltungstechnik ist die in Fig. 4 gezeigte Logik-Grundzelle eine besonders kleine, schnelle und von der Leistungsaufnahme her besonders günstige Logik-Grundzelle und stellt daher eine bevorzugte Ausführungsform dar.

[0086] Wie in der Fig. 4 gezeigten VPGA-Realisierung der Logik-Grundzelle 400 in Standard-CMOS werden zwei Eingangs-Inverter 124, 125 verwendet, zum Erzeugen der negierten Potentiale  $a_0$ ,  $\bar{a}_1$  aus den Datensignalen  $a_0$  bzw.  $a_1$ .

[0087] Im Weiteren wird bezugnehmend auf Fig. 5 eine Logik-Grundzelle 500 gemäß einem vierten Ausführungsbeispiel beschrieben.

[0088] Die Logik-Grundzelle 500 ist ähnlich wie die Logik-Grundzelle 400 mit unveränderlichen Hardware-Elementen als Logikauswahl-Elementen vorgesehen, d.h. unter Verwendung von Metallisierungsebenen 403, 404 sowie Vias 405 zum Verbinden von Datensignal-Transistoren in einem ersten Datensignalpfad 501 und in einem zweiten Datensignalpfad 502. Im Unterschied zu Fig. 4 sind in Fig. 5 die Transistoren innerhalb eines jeweiligen Datensignalpfads 501 oder 502 nicht alle desselben Leitungstyps. In dem ersten Datensignalpfad 501 ist gegenüber Fig. 4 der dritte n-MOS-Datensignal-Transistor 114 durch einen ersten p-MOS-Datensignal-Transistor 503 ersetzt. Ferner ist der vierte n-MOS-Datensignal-Transistor 115 durch einen zweiten p-MOS-Datensignal-Transistor 504 ersetzt. In dem zweiten Datensignalpfad 502 ist der erste p-MOS-Datensignal-Transistor 120 durch einen ersten n-MOS-Datensignal-Transistor 505 ersetzt, und der zweite p-MOS-Datensignal-Transistor 121 ist durch einen zweiten n-MOS-Datensignal-Transistor 506 ersetzt.

[0089] Ferner ist zusätzlich zu der Versorgungsspannung 127 ein zusätzliches Versorgungspotential 507 vorgesehen, zusätzlich zu dem elektrischen Massepotential 126 ist ein zusätzliches Massepotential 508 vorgesehen. Das zusätzliche Versorgungspotential 507 ist gegenüber dem Versorgungspotenzial 127 um das Doppelte der Schwellenspannung der Transistoren  $V_{th}$  erhöht. Das zusätzliche Massepotential 508 ist gegenüber dem Massepotential 126 um das Doppelte der Schwellenspannung  $V_{th}$  verringert.

[0090] Bei der in Fig. 5 gezeigten Logik-Grundzelle 500 sind gegenüber Fig. 4 die beiden Inverter, 124, 125 aufgrund der beschriebenen Veränderung in der Transistor-Konfiguration eingespart. Im Pull-Up-Pfad 502 werden für die nichtinvertierten Eingänge  $a_0$ ,  $a_1$ , die n-Kanal-Transistoren 505, 506 verwendet, wohingegen im Pull-Down-Pfad 501 p-Kanal-Transistoren 503, 504 für die invertierten Eingänge  $\bar{a}_0$  bzw.  $\bar{a}_1$ , verwendet werden. Die Transistoren des n-Kanal-Leitungstyps sind unvollständige Schalter für das Versorgungspotential  $V_{DD}$ , und die Transistoren des p-Kanal-Leitungstyps für das Massepotential 126  $V_{SS}$ . Um an dem Ausgang y 107 dennoch vollen Spannungshub zu erreichen, werden die Spannungsabfälle mittels Anhebens des Versorgungspotentials von  $V_{DD}$  auf  $V_{DD} + 2V_{th}$  bzw. mittels Absenkens des Massepotentials  $V_{SS}$  auf  $V_{SS} - 2V_{th}$  mit der Threshold-Spannung  $V_{th}$  kompensiert.

[0091] Mit der Logik-Grundzelle 500 ist eine Logik-Grundzelle höchster kombinatorischer Packungsdichte geschaffen, wobei jeweils eine zusätzliche Versorgungsspannung bereitgestellt wird.

[0092] Im Weiteren wird bezugnehmend auf Fig. 6 eine Logik-Grundzellen-Anordnung 600 gemäß einem bevorzugtem Ausführungsbeispiel der Erfindung beschrieben.

[0093] Die Logik-Grundzellen-Anordnung 600 ist zum Bilden einer logischen Verknüpfung von drei Datensignalen  $a_0$ ,  $a_1$ ,  $a_2$  eingerichtet. Die Logik-Grundzellen-Anordnung 600 weist eine erste Logik-Grundzelle 601 und eine zweite Logik-Grundzelle 602 auf, die wie eine beliebige der in Fig. 1, Fig. 3 bis Fig. 5 gezeigten Logik-Grundzellen 100, 300, 400, 500 gebildet sein kann. An einem ersten Datensignaleingang 603 der ersten und zweiten Logik-Grundzellen 601, 602 ist das erste Datensignal  $a_0$  bereitgestellt. An einem zweiten Datensignaleingang 604 der ersten und zweiten Logik-Grundzellen 601, 602 ist das zweite Datensignal  $a_1$  bereitgestellt. Aufgrund der Funktionalität der ersten und zweiten Logik-Grundzellen 601, 602 wird an den Ausgängen der jeweiligen Logik-Grundzellen 601, 602 eine Logik-Verknüpfung  $f_0(a_1, a_0)$  bzw.  $f_1(a_1, a_0)$  bereitgestellt. An einem ersten Dateneingang 607 eines Multiplexers 606 wird das Ausgabesignal der ersten Logik-Grundzelle 601 bereitgestellt. An einem zweiten Datensignaleingang 608 des Multiplexers 606 wird das Ausgangssignal der zweiten Logik-Grundzelle 602 bereitgestellt. An einem Steuereingang 609 des Multiplexers 606 wird das dritte Datensignal 605  $a_2$  bereitgestellt. An dem Datensignalausgang 610 des Multiplexers 606 ist das Ausgangssignal  $y = f(a_2, a_1, a_0)$  bereitgestellt, d.h. die logische Verknüpfung der drei Datensignale  $a_0$ ,  $a_1$  und  $a_2$ .

[0094] Die Funktionalität des Multiplexers 606 ist anhand von Gleichung (1) beschreibbar.

[0095] Somit ist in Fig. 6 eine Logik-Grundzellen-Anordnung 600 gezeigt, die unter Verwendung von zwei erfindungsgemäßen Logik-Grundzellen eine Funktion von drei Datensignalen realisieren kann. Mittels Verschaltens einer Mehrzahl solcher Logik-Grundzellen-Anordnungen zu einer Logik-Vorrichtung kann eine beliebige logische Verknüpfung von mehr als drei Datensignalen realisiert werden.

[0096] In diesem Dokument sind folgende Veröffentlichungen zitiert:

- [1] Wannemacher, M "Das FPGA-Kochbuch", Abb. 6.4: SRAM-Zelle von XILINX, 1. Auflage, International Thomson Publishing Company, Bonn, 1998, S. 111
- [2] Wannemacher, M "Das FPGA-Kochbuch", Abb. 7.36: Logikblock (CLB) der XC4000-Familien, 1. Auflage, International Thomson Publishing Company, Bonn, 1998, S. 197
- [3] US 6,529,040 B1

#### Bezugszeichenliste

- 100 Logik-Grundzelle
- 101 erster Datensignalpfad
- 102 zweiter Datensignalpfad
- 103 erster Datensignaleingang
- 104 zweiter Datensignaleingang
- 105 dritter Datensignaleingang
- 106 vierter Datensignaleingang
- 107 Datensignalaungang
- 108 erster n-MOS-Logikauswahl-Transistor
- 109 zweiter n-MOS-Logikauswahl-Transistor
- 110 dritter n-MOS-Logikauswahl-Transistor
- 111 vierter n-MOS-Logikauswahl-Transistor
- 112 erster p-MOS-Datensignal-Transistor
- 113 zweiter p-MOS-Datensignal-Transistor
- 114 dritter p-MOS-Datensignal-Transistor
- 115 vierter p-MOS-Datensignal-Transistor
- 116 erster Inverter
- 117 zweiter Inverter
- 118 Massepotential
- 119 Versorgungsspannungspotential
- 200 Tabelle
- 300 Logik-Grundzelle
- 301 n-MOS-Evaluierungs-Transistor
- 302 p-MOS-Precharge-Transistor
- 303 Evaluier-Eingang
- 304 Vorlade-Eingang
- 305 Datensignalpfad-Ausgang
- 400 Logik-Grundzelle

- 401 erster Datensignalpfad
- 402 zweiter Datensignalpfad
- 403 erste Metallisierungsebene
- 404 zweite Metallisierungsebene
- 405 Via
- 406 Power-Via
- 500 Logik-Grundzelle
- 501 erster Datensignalpfad
- 502 zweiter Datensignalpfad
- 503 erster p-MOS-Datensignal-Transistor
- 504 zweiter p-MOS-Datensignal-Transistor
- 505 erster n-MOS-Datensignal-Transistor
- 506 zweiter n-MOS-Datensignal-Transistor
- 507 zusätzliches Versorgungsspannungspotential
- 508 zusätzliches Massepotential
- 600 Logik-Grundzellen-Anordnung
- 601 erste Logik-Grundzelle
- 602 zweite Logik-Grundzelle
- 603 erster Datensignaleingang
- 604 zweiter Datensignaleingang
- 605 dritter Datensignaleingang
- 606 Multiplexer
- 607 erster Dateneingang
- 608 zweiter Dateneingang
- 609 Steuereingang
- 610 Datensignalaungang

#### Patentansprüche

1. Logik-Grundzelle zum Bilden einer logischen Verknüpfung von zwei Datensignalen gemäß einer mittels einer Mehrzahl von Logikauswahl-Elementen auswählbaren Logikfunktion,
  - mit vier Datensignaleingängen, an denen zwei Datensignale und deren logisch komplementäre Datensignale anlegbar sind;
  - mit einem ersten Logikauswahl-Element zwischen einem ersten Datensignaleingang und einem zweiten Datensignaleingang;
  - mit einem zweiten Logikauswahl-Element zwischen dem ersten Datensignaleingang und einem vierten Datensignaleingang;
  - mit einem dritten Logikauswahl-Element zwischen dem zweiten Datensignaleingang und einem dritten Datensignaleingang;
  - mit einem vierten Logikauswahl-Element zwischen dem dritten Datensignaleingang und dem vierten Datensignaleingang;
  - mit einem Datensignalaungang, an dem als Ausgangssignal die logische Verknüpfung der zwei Datensignale gemäß der mittels der Logikauswahl-Elemente ausgewählten Logikfunktion bereitstellbar ist.
2. Logik-Grundzelle nach Anspruch 1, bei der die Logikauswahl-Elemente unveränderliche Hardware-Elemente sind.
3. Logik-Grundzelle nach Anspruch 1 oder 2, bei der die Logikauswahl-Elemente mittels einer Mehr-

zahl von Metallisierungsebenen und/oder mittels Vias realisiert sind.

Source-/Drain-Anschluss des vierten Logik-Transistors gekoppelt ist.

4. Logik-Grundzelle nach Anspruch 1, bei der

- das erste Logikauswahl-Element ein erster Logik-Transistor ist, der mittels eines ersten Logikauswahlsignals steuerbar ist;
- das zweite Logikauswahl-Element ein zweiter Logik-Transistor ist, der mittels eines zweiten Logikauswahlsignals steuerbar ist;
- das dritte Logikauswahl-Element ein dritter Logik-Transistor ist, der mittels eines dritten Logikauswahlsignals steuerbar ist;
- das vierte Logikauswahl-Element ein vierter Logik-Transistor ist, der mittels eines vierten Logikauswahlsignals steuerbar ist.

5. Logik-Grundzelle nach einem der Ansprüche 1 bis 4, mit vier Datensignal-Transistoren, an deren Gate-Anschlüssen jeweils eines der Datensignale oder ein zu einem der Datensignale logisch komplementäres Datensignal bereitstellbar ist.

6. Logik-Grundzelle nach Anspruch 5, bei der ein erster Datensignal-Transistor derart verschaltet ist, dass dessen

- erster Source-/Drain-Anschluss mit einem ersten Source-/Drain-Anschluss des ersten Logik-Transistors und mit einem ersten Source-/Drain-Anschluss des zweiten Logik-Transistors gekoppelt ist;
- zweiter Source-/Drain-Anschluss mit einem ersten Source-/Drain-Anschluss eines dritten Datensignal-Transistors gekoppelt ist.

7. Logik-Grundzelle nach Anspruch 6, bei welcher der dritte Datensignal-Transistor derart verschaltet ist, dass dessen zweiter Source-/Drain-Anschluss mit einem ersten Source-/Drain-Anschluss des vierten Logik-Transistors und mit einem ersten Source-/Drain-Anschluss des dritten Logik-Transistors gekoppelt ist.

8. Logik-Grundzelle nach einem der Ansprüche 5 bis 7,

bei der ein zweiter Datensignal-Transistor derart verschaltet ist, dass dessen

- erster Source-/Drain-Anschluss mit einem zweiten Source-/Drain-Anschluss des ersten Logik-Transistors und mit einem zweiten Source-/Drain-Anschluss des dritten Logik-Transistors gekoppelt ist;
- zweiter Source-/Drain-Anschluss mit einem ersten Source-/Drain-Anschluss eines vierten Datensignal-Transistors gekoppelt ist.

9. Logik-Grundzelle nach Anspruch 8, bei welcher der vierte Datensignal-Transistor derart verschaltet ist, dass dessen zweiter Source-/Drain-Anschluss mit einem zweiten Source-/Drain-Anschluss des zweiten Logik-Transistors und mit einem zweiten

10. Logik-Grundzelle nach einem der Ansprüche 1 bis 9, mit einem mit dem Datensignalausgang gekoppelten Evaluierungs-Schalter und mit einem Vorlade-Schalter, welche Schalter derart verschaltet und steuerbar sind, dass an einem Ausgang der Logik-Grundzelle bei geöffnetem Evaluierungs-Schalter und geschlossenem Vorlade-Schalter das Ausgangssignal bereitgestellt ist, und dass an dem Ausgang der Logik-Grundzelle bei geöffnetem Vorlade-Schalter und geschlossenem Evaluierungs-Schalter ein Referenzsignal bereitgestellt ist.

11. Logik-Grundzelle nach Anspruch 10, bei welcher der Evaluierungs-Schalter und der Vorlade-Schalter jeweils Transistoren sind.

12. Logik-Grundzelle nach einem der Ansprüche 5 bis 9,

bei der

- jeder der Logik-Transistoren und jeder der Datensignal-Transistoren ein Transistor eines ersten Leitungstyps ist, und wobei die Transistoren des ersten Leitungstyps einen ersten Datensignalpfad bilden;
- ein zweiter Datensignalpfad aus Transistoren eines zweiten Leitungstyps, der zu dem ersten Leitungstyp komplementär ist, gebildet ist, wobei zu jedem der Transistoren des ersten Datensignalpfads ein entsprechend verschalteter Transistor in dem zweiten Datensignalpfad bereitgestellt ist.

13. Logik-Grundzelle nach Anspruch 12, bei welcher

- der erste Leitungstyp der p-Leitungstyp und der zweite Leitungstyp der n-Leitungstyp ist; oder
- der erste Leitungstyp der n-Leitungstyp und der zweite Leitungstyp der p-Leitungstyp ist.

14. Logik-Grundzelle nach einem der Ansprüche 1 bis 13, eingerichtet als CMOS-Logik-Grundzelle.

15. Logik-Grundzelle nach einem der Ansprüche 1 bis 14,

- mit einem ersten Inverter zum Bilden eines zu einem ersten Datensignal logisch komplementären ersten Datensignals;
- mit einem zweiten Inverter zum Bilden eines zu einem zweiten Datensignal logisch komplementären zweiten Datensignals.

16. Logik-Grundzelle nach einem der Ansprüche 5 bis 11,

bei der

- zwei der Datensignal-Transistoren Transistoren eines ersten Leitungstyps sind und zwei der Datensignal-Transistoren Transistoren eines zweiten Leitungstyps sind, der zu dem ersten Leitungstyp komplementär ist, und wobei die vier Datensignal-Tran-

sistoren einen ersten Datensignalpfad bilden;

- ein zweiter Datensignalpfad aus Transistoren gebildet ist, wobei zu jedem der Transistoren des ersten Datensignalpfads ein entsprechend verschalteter Transistor in dem zweiten Datensignalpfad bereitgestellt ist, wobei entsprechende Transistoren des ersten und des zweiten Datensignalpfads Transistoren des jeweils gleichen Leistungstyps sind.

17. Logik-Grundzelle nach Anspruch 16, bei der den Transistoren eines jeweiligen Datensignalpfads derartige elektrische Versorgungspotentiale bereitgestellt sind, dass unterschiedliche Schwellenspannungen von Transistoren des ersten und des zweiten Leistungstyps zumindest teilweise kompensiert sind.

18. Logik-Grundzelle nach einem der Ansprüche 1 bis 17, eingerichtet als Application-Specific Integrated Circuit.

19. Logik-Grundzelle nach einem der Ansprüche 1 bis 18, eingerichtet als

- Programmable Logic Device;
- Field-Programmable Gate-Array;
- maskenprogrammierter Application-Specific Integrated Circuit.

20. Logik-Grundzellen-Anordnung zum Bilden einer logischen Verknüpfung von drei Datensignalen,

- mit einer ersten und mit einer zweiten Logik-Grundzelle nach einem der Ansprüche 1 bis 19, an deren Datensignaleingängen die zwei Datensignale und deren logisch komplementäre Datensignale anlegbar sind;
- mit einem Multiplexer, an dessen ersten Dateneingang das Ausgangssignal der ersten Logik-Grundzelle bereitgestellt ist, an dessen zweiten Dateneingang das Ausgangssignal der zweiten Logik-Grundzelle bereitgestellt ist, und an dessen Steuereingang ein drittes Datensignal bereitgestellt ist;
- mit einem Datensignalausgang, an dem als Ausgangssignal die logische Verknüpfung der drei Datensignale bereitstellbar ist.

21. Logik-Vorrichtung zum Bilden einer logischen Verknüpfung von mehr als drei Datensignalen, mit einer Mehrzahl von Logik-Grundzellen-Anordnungen nach Anspruch 20.

Es folgen 6 Blatt Zeichnungen

FIG 1

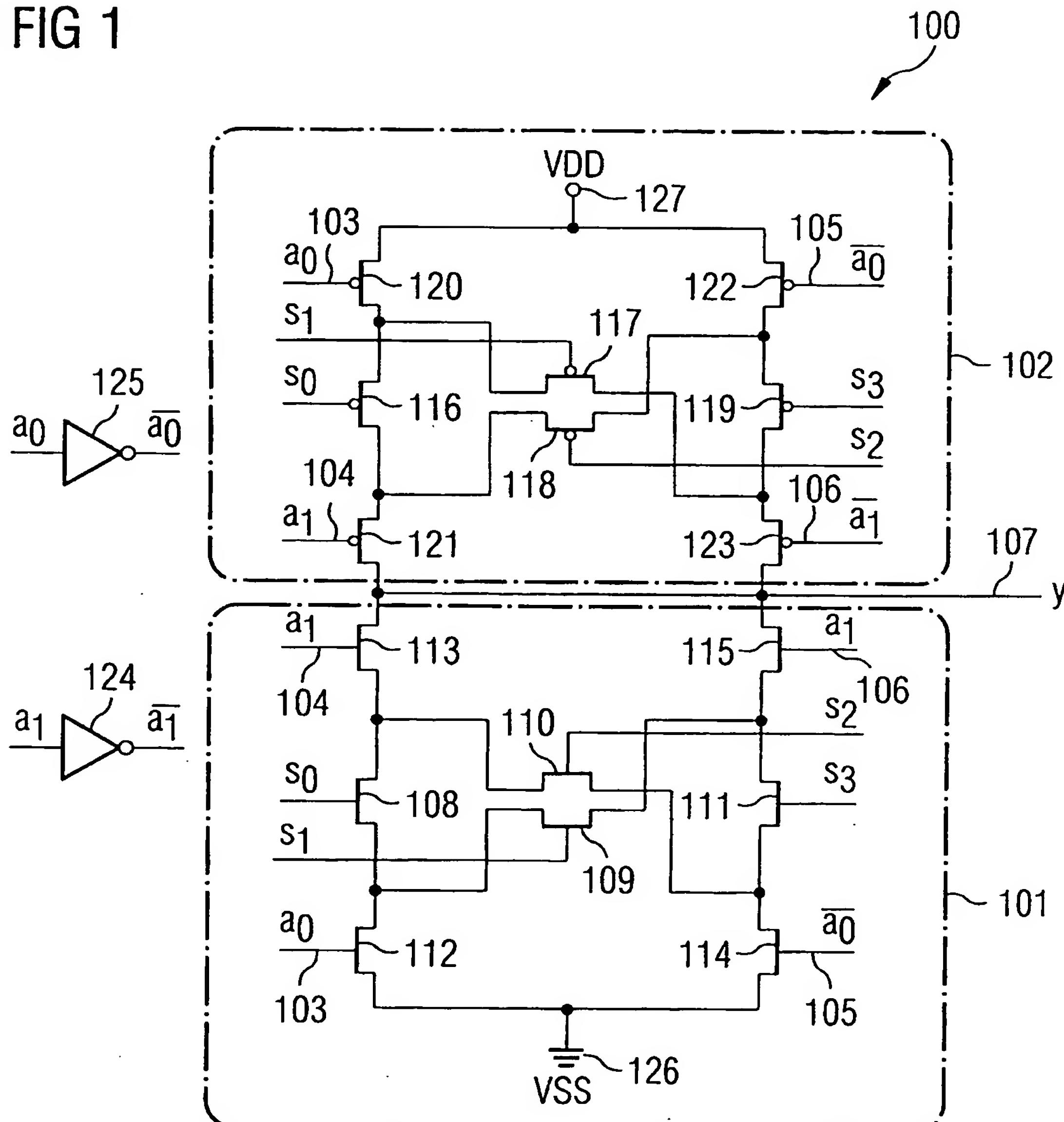


FIG 2

200

S3	S2	S1	S0	y
0	0	0	0	1
0	0	0	1	[NAND]
0	0	1	0	$\bar{a}_0 \vee a_1$
0	0	1	1	$\bar{a}_0$
0	1	0	0	$a_0 \vee \bar{a}_1$
0	1	0	1	$\bar{a}_1$
0	1	1	0	[XNOR]
0	1	1	1	[AND]
1	0	0	0	[OR]
1	0	0	1	[XOR]
1	0	1	0	$a_1$
1	0	1	1	$a_0 \wedge \bar{a}_1$
1	1	0	0	$a_0$
1	1	0	1	$\bar{a}_0 \wedge a_1$
1	1	1	0	[NOR]
1	1	1	1	0

FIG 3

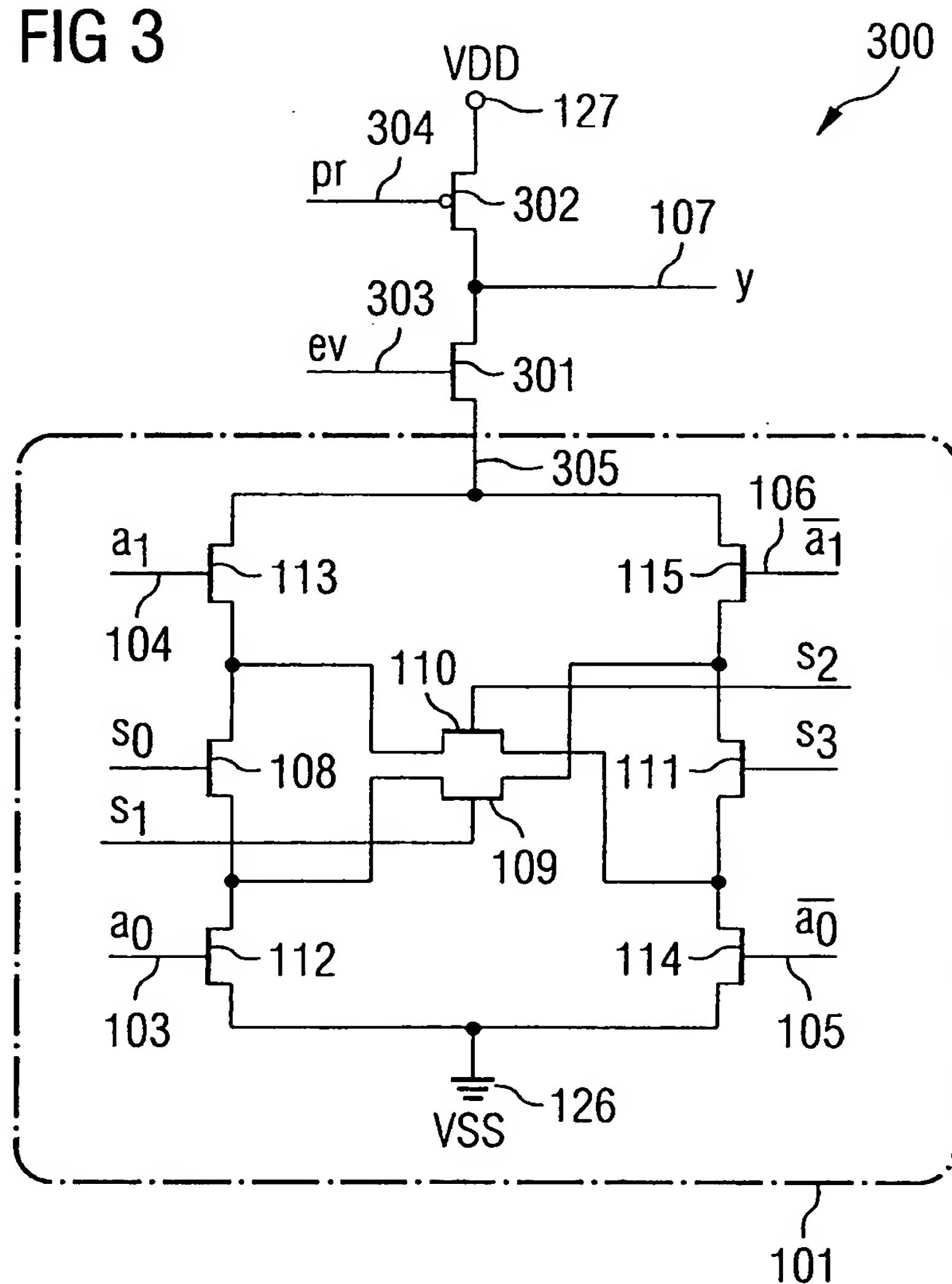


FIG 4

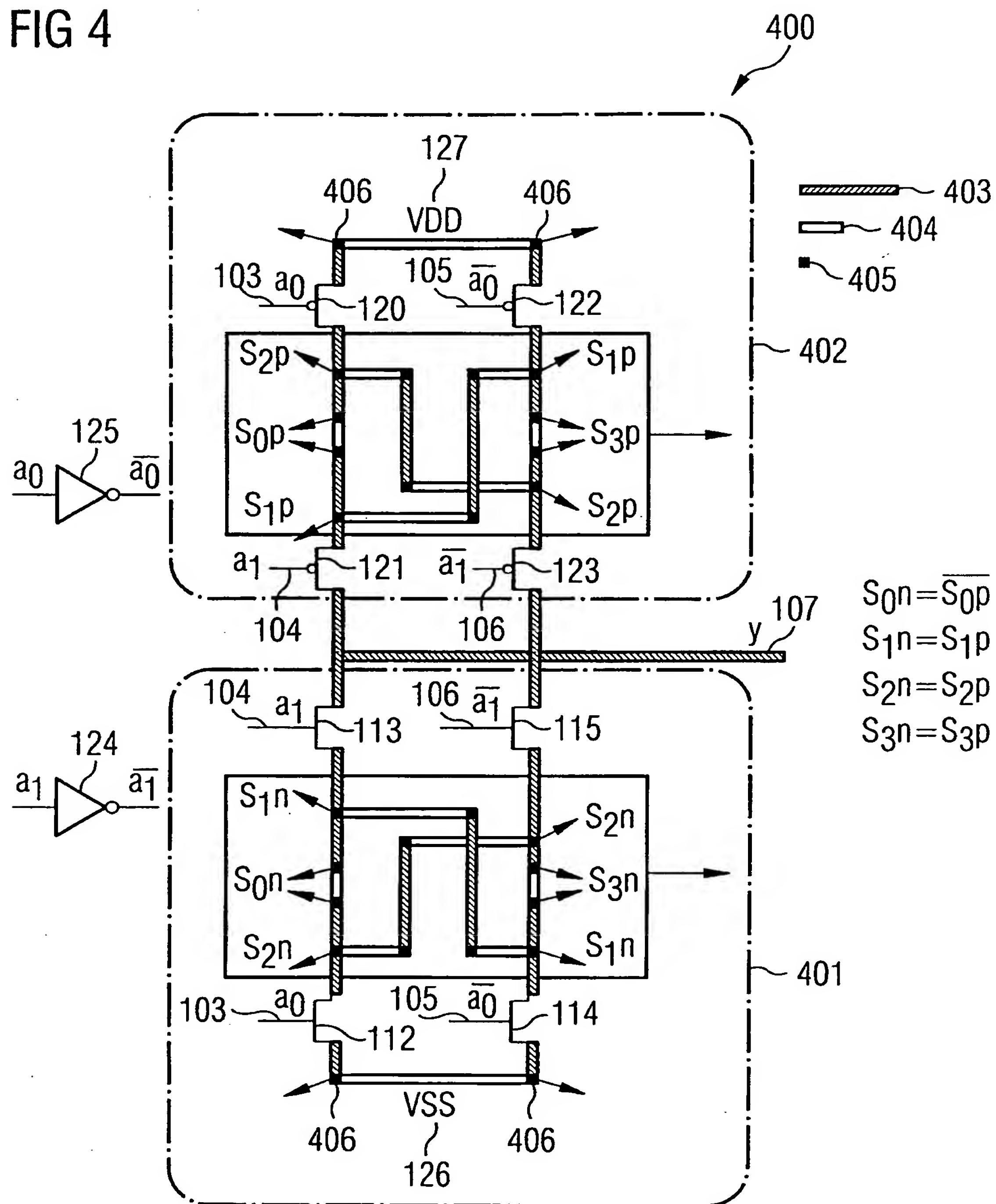


FIG 5

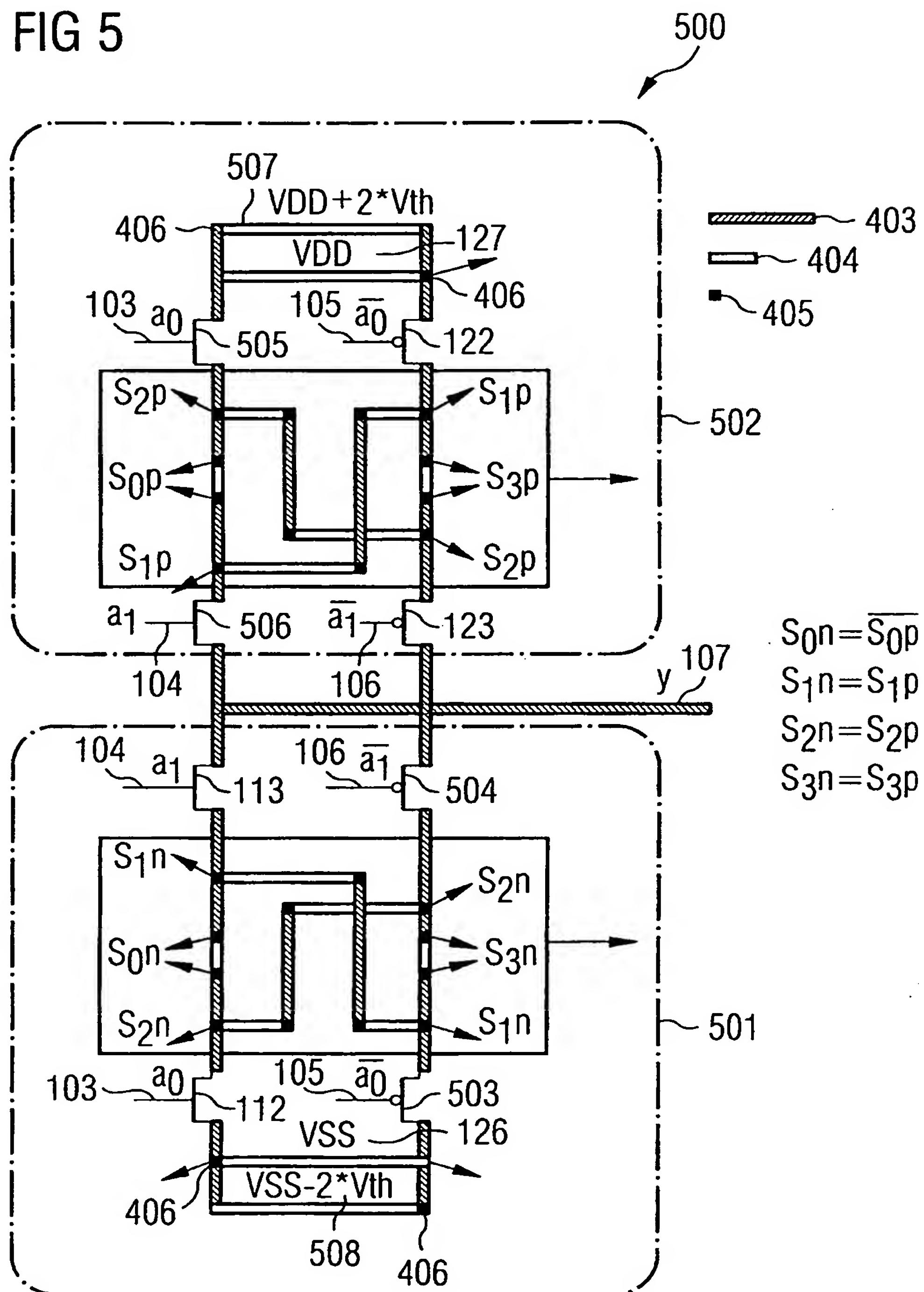


FIG 6

